

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-116915

(43)Date of publication of application : 06.05.1998

(51)Int.Cl.

H01L 21/82
G06F 17/50

(21)Application number : 09-210331

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 05.08.1997

(72)Inventor : TOYONAGA MASAHIKO
KIMURA FUMIHIRO
FUKUMOTO MINAKO
KOSHITA NORIKO

(30)Priority

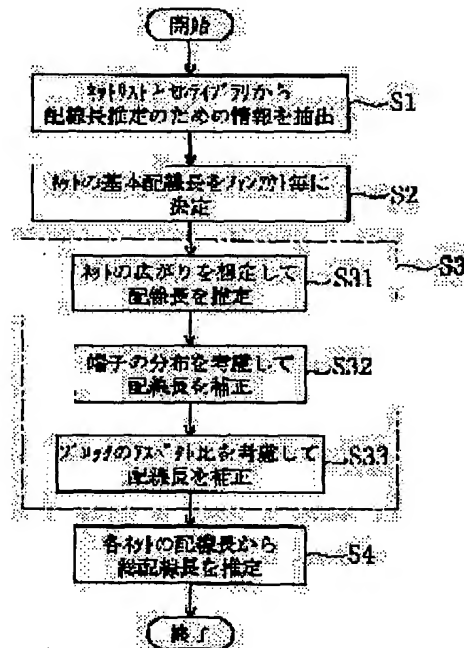
Priority number : 08219578 Priority date : 21.08.1996 Priority country : JP

(54) METHOD FOR ESTIMATING WIRING LENGTH OF LSI AND METHOD FOR ESTIMATING AREA

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method which may be executed in a short time and has high precision, as a method for estimating the wiring length of an LSI.

SOLUTION: The wiring length of an LSI is estimated from a net list describing connection information of the LSI and a cell library storing information of a cell used for LSI design, without carrying out schematic placement and routing. At an information extraction step S1, information for estimating the wiring length is extracted from the net list and the cell library. At a basic wiring length decision step S2, the basic wiring length of the net is decided every fan out. At a net wiring length estimation step S3, the net wiring length of each fan out is estimated with reference to the basic wiring length decided at the step S2 while spreading of the net due to uneven layout of the cell is presumed (S31). In consideration of distribution of terminals and the aspect ratio of an estimation target block, the estimated net wiring length is corrected (S32, S33). Finally, at a step S4, the total wiring length of the estimation target block is estimated from the net wiring length.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-116915

(43) 公開日 平成10年(1998) 5月6日

(51) Int.Cl.⁹

識別記号

F I

H 0 1 L 21/82

H 0 1 L 21/82

W

G 0 6 F 17/50

G 0 6 F 15/60

6 5 8 Z

H 0 1 L 21/82

C

審査請求 未請求 請求項の数9 O L (全 13 頁)

(21) 出願番号 特願平9-210331

(22) 出願日 平成9年(1997) 8月5日

(31) 優先権主張番号 特願平8-219578

(32) 優先日 平8(1996) 8月21日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 豊永 昌彦

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 木村 文浩

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 福本 美奈子

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 弁理士 前田 弘 (外2名)

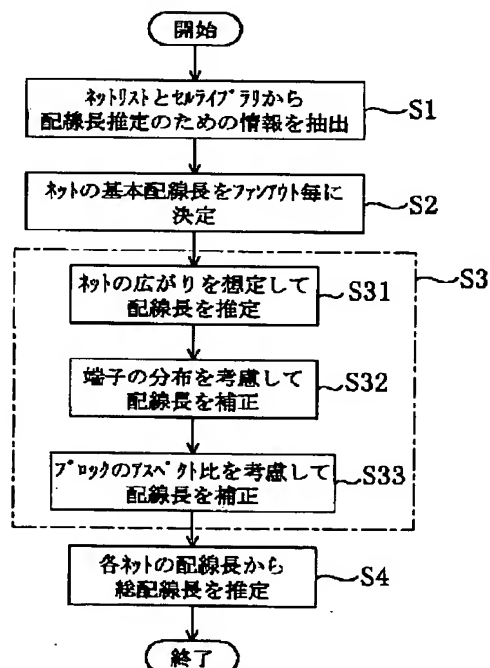
最終頁に続く

(54) 【発明の名称】 L S I の配線長推定方法および面積推定方法

(57) 【要約】

【課題】 L S I の配線長を推定する方法として、短時間で実行でき、かつ、精度の高い方法を提供する。

【解決手段】 概略配置配線を行わないで、L S I の接続情報を記述するネットリストおよびL S I 設計に用いるセルの情報を格納するセルライブラリから、L S I の配線長を推定する。情報抽出工程 S 1 において、ネットリストとセルライブラリから配線長推定のための情報を抽出し、基本配線長決定工程 S 2 において、ネットの基本配線長をファンアウト毎に決定する。ネット配線長推定工程 S 3 において、各ファンアウトのネット配線長を、工程 S 2 で決定した基本配線長を基準にするとともにセルの配置ばらつきによるネットの広がりを実定して、推定する (S 3 1)。また端子の分布および推定対象ブロックのアスペクト比を考慮して、推定したネット配線長を補正する (S 3 2, S 3 3)。最後に工程 S 4 において、ネット配線長から推定対象ブロックの総配線長を推定する。



【特許請求の範囲】

【請求項1】 LSIの接続情報を記述するネットリストおよびLSI設計に用いるセルの情報を格納するセルライブラリから、LSIの配線長を推定する配線長推定方法であって、

前記ネットリストおよびセルライブラリから、推定対象のブロックについて、総ネット数、ファンアウト毎のネット数、並びに各ネットに含まれるセルの種類および面積を含む情報を抽出する情報抽出工程と、

前記情報抽出工程において抽出した情報を基にして、各ファンアウトのネットの基本配線長を配線長推定の基準として決定する基本配線長決定工程と、

前記情報抽出工程において抽出した情報を基にして、各ファンアウトのネットの配線長を、前記基本配線長決定工程において決定した当該ファンアウトのネットの基本配線長を基準にし、セルの配置ばらつきによるネットの広がりをも想定して、推定するネット配線長推定工程とを備え、

推定した各ファンアウトのネットの配線長を基にして、前記推定対象のブロックの総配線長を推定することを特徴とする配線長推定方法。

【請求項2】 請求項1記載の配線長推定方法において、

前記基本配線長決定工程は、各ファンアウトのネットについて、当該ファンアウトのネットに属するセルの平均面積を求め、この平均面積に当該ファンアウトのネット1個当たりのセル個数を乗じた値に相当する面積を持つ正方形の半周囲長を基にして、基本配線長を決定することを特徴とする配線長推定方法。

【請求項3】 請求項1記載の配線長推定方法において前記基本配線長決定工程は、推定対象のブロックに属する全セルの平均面積を求め、各ファンアウトのネットについて、求めた全セルの平均面積に当該ファンアウトのネット1個当たりのセル個数を乗じた値に相当する面積を持つ正方形の半周囲長を基にして、基本配線長を決定することを特徴とする配線長推定方法。

【請求項4】 請求項1記載の配線長推定方法において、

前記ネット配線長推定工程は、

各ファンアウトのネットについて、推定対象のブロックに属する全セルの面積の和と当該ファンアウトのネットに属するセルの面積の和とからネットの広がり率を求め、このネットの広がり率を用いて配線長を推定する工程を備えていることを特徴とする配線長推定方法。

【請求項5】 請求項1記載の配線長推定方法において前記ネット配線長推定工程は、セル端子の分布による配線長の増分を等比級数で表す補正式を用いて、ネットの配線長を補正する工程を備えていることを特徴とする配線長推定方法。

【請求項6】 請求項1記載の配線長推定方法におい

て、

前記ネット配線長推定工程は、

推定対象のブロックのアスペクト比による配線長の変化を加味して、ネットの配線長を補正する工程を備えていることを特徴とする配線長推定方法。

【請求項7】 LSIの接続情報を記述するネットリストおよびLSI設計に用いるセルの情報を格納するセルライブラリから、LSIの面積を推定する方法であって、

推定対象のブロックの配線長を推定する配線長推定工程と、

前記配線長推定工程において推定した配線長から、レイアウト上で配線が占める配線面積を求める配線面積推定工程と、

前記配線面積推定工程において求めた配線面積と、前記推定対象のブロックの総セル面積およびセル上の配線利用面積とから、前記推定対象のブロックのレイアウト面積を求めるレイアウト面積推定工程とを備え、

前記レイアウト面積推定工程は、配線面積がセル上の配線利用面積よりも小さいときは、セル総面積を推定対象のブロックのレイアウト面積とする一方、配線面積がセル上の配線利用面積よりも大きいときは、配線面積とセル上の配線利用面積との差およびセル総面積によって推定対象のブロックのレイアウト面積を求めるものであることを特徴とする面積推定方法。

【請求項8】 請求項7記載の面積推定方法において、前記配線長推定工程は、

前記ネットリストおよびセルライブラリから、推定対象のブロックについて、総ネット数、ファンアウト毎のネット数、並びに各ネットに含まれるセルの種類および面積を含む情報を抽出する情報抽出工程と、

前記情報抽出工程において抽出した情報を基にして、各ファンアウトのネットの基本配線長を配線長推定の基準として決定する基本配線長決定工程と、

前記情報抽出工程において抽出した情報を基にして、各ファンアウトのネットの配線長を、前記基本配線長決定工程において決定した当該ファンアウトのネットの基本配線長を基準にし、セルの配置ばらつきによるネットの広がりをも想定して、推定するネット配線長推定工程とを備え、

推定した各ファンアウトのネットの配線長を基にして、前記推定対象のブロックの総配線長を推定するものであることを特徴とする面積推定方法。

【請求項9】 請求項8記載の面積推定方法において、前記ネット配線長推定工程は、各ファンアウトのネットについて、推定対象のブロックに属する全セルの面積の和と当該ファンアウトのネットに属するセルの面積の和とからネットの広がり率を求め、このネットの広がり率を用いて配線長を推定することを特徴とする面積推定方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、計算機を用いたLSI設計に関するものであり、特に、LSI設計の工数を削減すべく、レイアウト設計前に実際のレイアウトの配線長および面積を推定する推定方法に関するものである。

【0002】

【従来の技術】近年のLSI微細化技術の進歩により、数百万ゲートレベルの大規模な回路を実現するVLSIが製造可能になってきた。一方、マルチメディア機器などの電子機器の高性能化と軽量化に伴い、大規模回路の1チップLSI化が求められている。高性能かつ大規模なLSIの設計開発を実現するための設計手法として、トップダウン設計方法が提唱されている。このトップダウン設計方法では、LSI機能仕様を言語により規定し、以降の論理回路の生成までの工程を計算機による自動処理によって実現するものである。各設計段階で取り扱うデータ量は、言語設計レベル、論理回路設計レベル、レイアウト設計レベルの順に膨大になるので、言語レベルで設計することによって全体として開発効率が向上することになる。

【0003】従来のLSIでは、レイアウト時の配線遅延はマクロセルの遅延に比べて非常に小さく、回路のタイミング仕様に重要な影響を与える信号遅延はマクロセルの駆動能力によりほぼ決定されていたので、タイミング仕様を考慮する機能を有する自動合成システム（例えば米国Synopsys社のDesign Analyzer等）によって論理合成を行えばLSI設計が可能であった。

【0004】ところが、近年の微細化技術と高集積化の進歩に伴い、回路遅延に対する配線遅延の割合が大きくなり、トップダウン設計手法の論理合成において、従来無視することができた配線遅延を考慮する必要性が生じている。すなわち、配線抵抗、配線間容量がトランジスタ駆動能力に対して相対的に増大してきたため、配線遅延を考慮せずに設計した場合には、レイアウト設計後に再度論理合成を繰り返す必要が生じることになり、設計効率の改善が望めなくなっている。

【0005】このような背景から、論理合成においてレイアウト結果、特に配線長とレイアウト面積を考慮する必要があり、このため、短時間にかつ高精度にレイアウト結果を推定する手法の開発が求められている。レイアウト結果を推定する手法としては、次のようなものがある。

(a) レイアウト結果の統計処理によりレイアウト結果を推定する。

(b) 実際に概略配置または概略配線を行なって、レイアウト結果を推定する。

(c) ネットリストに基づいて、回路の特徴からレイアウト結果を推定する。

このうち(a)の統計処理による方法では、回路の多様性を反映させることができないため、回路のばらつきを包含する冗長性を含ませた配線長推定が必要となる。これは反面、面積や性能の面で最適な設計が難しくなる。また(b)では概略配置または概略配線を実行するため、回路の性質に応じた推定結果を得ることができるが、実行に際して多くの時間を要するので設計期間の大幅な短縮は期待できない。

【0006】設計効率の改善には(c)の回路の特徴に応じた推定方法が有効であり、従来から、ネットリストに関わるセルインスタンス数やネット数に基づいていくつかの手法が提案されている。

【0007】C. Sechen, "Average Interconnection Length Estimation for Random And Optimized Placements", In Proc. of ICCAD, pp190-193, 1988, では、平均面積をもつ正方形のセルを2次元の正方形のグリッド上に配置するチェッカーボードモデルを用いて、ネットの端子がランダムに分布したときの配線長を、組み合わせ計算によって推定する手法が提案されている。また、Massoud Pedram, Bryan Preas, "Interconnection Length Estimation for Optimized Standard Cell Layout", In Proc. of ICCAD, pp390-393, 1989, では、多端子ネットのバウンディングボックス内部の端子分布を組み合わせ計算によって求め、配線長を推定する手法が提案されている。

【0008】また、Takeo Hamada, et al., "A Wire Length Estimation Technique Utilizing Neighborhood Density Equations", In Proc. of 32nd Design Automation Conference, pp402-407, 1995, は、ネットリストに属するセル間の隣接関係を隣接密度式(Neighborhood Density Equations)により表し、配線長を推定している。

【0009】

【発明が解決しようとする課題】本願発明者は、前記の従来手法をふまえた上で、自動配置技術の観点から重要となる配置素子の広がりおよび配線の分岐をレイアウト結果の推定において考慮するために、過去のレイアウト結果を参考にして、ネットのファンアウトに着目することにした。

【0010】図15はネットリストが記述するセルの接続関係を示す図であり、セル、ネットおよびファンアウトの関係を示す図である。ネットリストの最小単位であるネットは、ネットに属する端子とその端子を有するセルの情報を持つ。このとき、ネットのファンアウトとは、ネットに属する端子から1を減じたものである。図15において、ネットAのファンアウトは4であり、ネットBのファンアウトは3である。

【0011】ファンアウトに着目することによって、ネットリストのネットを分類することができる。そして、ファンアウト毎にネットの配線長を精度良く推定することができれば、その総和を求めることによって総配線長

も精度良く推定することができる。

【0012】また、前記の従来手法は、2層配線レイアウトを前提としたものである。しかし、ハイパフォーマンスタな回路設計では多層配線レイアウトが用いられるため、当然のことながら多層配線レイアウトを前提とした推定方法が必要である。

【0013】前記のような問題に鑑み、本発明は、概略配置配線を行わずにLSIの配線長を推定する方法として、短時間で実行でき、かつ、精度の高い方法を提供することを課題とする。また、多層配線レイアウトにおけるレイアウト面積を精度良く推定する方法を提供する。

【0014】

【課題を解決するための手段】前記の課題を解決するために、請求項1の発明が講じた手段は、LSIの接続情報を記述するネットリストおよびLSI設計に用いるセルの情報を格納するセルライブラリから、LSIの配線長を推定する配線長推定方法として、前記ネットリストおよびセルライブラリから、推定対象のブロックについて、総ネット数、ファンアウト毎のネット数、並びに各ネットに含まれるセルの種類および面積を含む情報を抽出する情報抽出工程と、前記情報抽出工程において抽出した情報を基にして、各ファンアウトのネットの基本配線長を配線長推定の基準として決定する基本配線長決定工程と、前記情報抽出工程において抽出した情報を基にして、各ファンアウトのネットの配線長を、前記基本配線長決定工程において決定した当該ファンアウトのネットの基本配線長を基準にし、セルの配置ばらつきによるネットの広がり率を想定して、推定するネット配線長推定工程とを備え、推定した各ファンアウトのネットの配線長を基にして、前記推定対象のブロックの総配線長を推定するものである。

【0015】請求項1の発明によると、各ファンアウトのネットの基本配線長を配線長推定の基準として決定し、各ファンアウトのネットの配線長を、当該ファンアウトのネットの基本配線長を基準にし、セルの配置ばらつきによるネットの広がり率を想定して、推定するので、ファンアウト毎にネットの配線長を精度良く推定することができる。このため、その総和を求めることによって推定対象のブロックの総配線長も精度良く推定することができる。しかも、従来の手法のような組み合わせ演算を行う必要がないので、セル数の多いLSIについても短時間で実行することができる。

【0016】そして、請求項2の発明では、前記請求項1の配線長推定方法における基本配線長決定工程は、各ファンアウトのネットについて、当該ファンアウトのネットに属するセルの平均面積を求め、この平均面積に当該ファンアウトのネット1個当たりのセル個数を乗じた値に相当する面積を持つ正方形の半周囲長を基にして、基本配線長を決定するものとする。

【0017】また、請求項3の発明では、前記請求項1

の配線長推定方法における基本配線長決定工程は、推定対象のブロックに属する全セルの平均面積を求め、各ファンアウトのネットについて、求めた全セルの平均面積に当該ファンアウトのネット1個当たりのセル個数を乗じた値に相当する面積を持つ正方形の半周囲長を基にして、基本配線長を決定するものとする。

【0018】そして、請求項4の発明では、前記請求項1の配線長推定方法におけるネット配線長推定工程は、各ファンアウトのネットについて、推定対象のブロックに属する全セルの面積の和と当該ファンアウトのネットに属するセルの面積の和とからネットの広がり率を求め、このネットの広がり率を用いて配線長を推定する工程を備えているものとする。

【0019】また、請求項5の発明では、前記請求項1の配線長推定方法におけるネット配線長推定工程は、セル端子の分布による配線長の増分を等比級数で表す補正式を用いて、ネットの配線長を補正する工程を備えているものとする。

【0020】そして、請求項6の発明では、前記請求項1の配線長推定方法におけるネット配線長推定工程は、推定対象のブロックのアスペクト比による配線長の変化を加味して、ネットの配線長を補正する工程を備えているものとする。

【0021】また、請求項7の発明が講じた解決手段は、LSIの接続情報を記述するネットリストおよびLSI設計に用いるセルの情報を格納するセルライブラリから、LSIの面積を推定する方法として、推定対象のブロックの配線長を推定する配線長推定工程と、前記配線長推定工程において推定した配線長から、レイアウト上で配線が占める配線面積を求める配線面積推定工程と、前記配線面積推定工程において求めた配線面積と、前記推定対象のブロックの総セル面積およびセル上の配線利用面積とから、前記推定対象のブロックのレイアウト面積を求めるレイアウト面積推定工程とを備え、前記レイアウト面積推定工程は、配線面積がセル上の配線利用面積よりも小さいときは、セル総面積を推定対象のブロックのレイアウト面積とする一方、配線面積がセル上の配線利用面積よりも大きいときは、配線面積とセル上の配線利用面積との差およびセル総面積によって推定対象のブロックのレイアウト面積を求めるものである。

【0022】請求項7の発明によると、多層配線の場合にはセル上領域を配線領域として利用できることを前提にしてレイアウト面積を推定するので、多層配線レイアウトにおけるレイアウト面積を精度良く推定することができる。

【0023】そして、請求項8の発明では、前記請求項7の面積推定方法における配線長推定工程は、前記ネットリストおよびセルライブラリから、推定対象のブロックについて、総ネット数、ファンアウト毎のネット数、並びに各ネットに含まれるセルの種類および面積を含む

情報を抽出する情報抽出工程と、前記情報抽出工程において抽出した情報を基にして、各ファンアウトのネットの基本配線長を配線長推定の基準として決定する基本配線長決定工程と、前記情報抽出工程において抽出した情報を基にして、各ファンアウトのネットの配線長を、前記基本配線長決定工程において決定した当該ファンアウトのネットの基本配線長を基準にし、セルの配置ばらつきによるネットの広がり率を想定して、推定するネット配線長推定工程とを備え、推定した各ファンアウトのネットの配線長を基にして、前記推定対象のブロックの総配線長を推定するものとする。

【0024】さらに、請求項9の発明では、前記請求項8の面積推定方法におけるネット配線長推定工程は、各ファンアウトのネットについて、推定対象のブロックに属する全セルの面積の和と当該ファンアウトのネットに属するセルの面積の和とからネットの広がり率を求め、このネットの広がり率を用いて配線長を推定するものとする。

【0025】

【発明の実施の形態】

(第1の実施形態) 図1は本発明の第1の実施形態に係るLSIの配線長推定方法の工程の流れを示すフローチャートである。図1に示すように、本発明の第1の実施形態に係る配線長推定方法は、ネットリストとセルライブラリから配線長推定のための情報を抽出する情報抽出工程S1と、ネットの基本配線長をファンアウト毎に決定する基本配線長決定工程S2と、各ファンアウトのネット配線長を工程S2で決定した基本配線長を基準にして推定するネット配線長推定工程S3と、推定した各ネット配線長からLSIの推定対象ブロックの総配線長を推定する工程S4とを備えている。ネット配線長推定工程S3は、基本配線長を基準にネットの広がり率を想定してネット配線長を推定する工程S31と、端子の分布を考慮してネット配線長を補正する工程S32と、推定対象ブロックのアスペクト比を考慮してネット配線長を補正する工程S33とを備えている。

【0026】本実施形態に係る配線長推定方法は、レイアウトシステムによる概略配置や概略配線を行わないで、LSIの接続情報を記述するネットリストおよびL*

$$\text{配線長} = |X_{\max} - X_{\min}| + |Y_{\max} - Y_{\min}| \cdots (1)$$

(X_{\max} : X座標の最大値、 X_{\min} : X座標の最小値、 Y_{\max} : Y座標の最大値、 Y_{\min} : Y座標の最小値)

【0032】図3は基本配線長決定工程S2において仮定するBBOXモデルの一例を示す図であり、ファンアウト3のネットについてのBBOXモデルを示す図である。基本配線長決定工程S2では、ファンアウトfnのネットに属する($f_n + 1$)個のセルは、これらのセルの面積和に相当する面積を有する正方形領域に隙間無く配置され、セルの各端子は全てこの正方形領域内に存在するものと仮定する。例えば図3に示すように、ファン

* S I 設計に用いるセルの情報を格納するセルライブラリの有する情報から、LSIの配線長を推定するものである。以下、各工程について、詳細に説明する。

【0027】<情報抽出工程S1>情報抽出工程S1では、与えられたネットリストやセルライブラリを解析し、推定対象のブロックについて、総ネット数、ファンアウト毎のネット数、および各ネットに含まれるセルの種類や面積などの、配線長推定のために必要になる情報を抽出する。

【0028】<基本配線長決定工程S2>基本配線長決定工程S2では、配線長推定の基準となるネットの基本配線長をファンアウト毎に決定する。

【0029】本実施形態に係る配線長推定方法では、実際に配置配線処理を行わないため、セルや端子がレイアウト上どのように配置されるのか分からない。このため、基本配線長を求めるためには、セルや端子の配置をモデル化する必要がある。一方、通常のレイアウトシステムにおける配置アルゴリズムは、レイアウト面積が最小になり、かつ、配線長が最短になるように配置を行う性質を持っている。また通常の配置アルゴリズムでは、ブロックのアスペクト比(縦横比)が1のときに配線長が最小になるといわれている。

【0030】そこで、ここでは、レイアウト設計の配置改善工程において配線長を見積もる際に用いられるパウンディングボックスモデル(以下、「BBOXモデル」という)の考え方を利用して、ネットの基本配線長を決める。

【0031】図2はBBOXモデルを示す図である。BBOXモデルとは、ネットリストに従って配置されたセル端子のX座標、Y座標の最大値と最小値をそれぞれ求め、X座標またはY座標が最大値または最小値となる4個の座標を頂点とする矩形をBBOXと仮定し、配線はBBOX内部で最短経路で配されるものとし、BBOXの半周囲長を配線長の近似値とするモデルである。例えば図2(a)に示すように、セル端子11a, 11b, 11cが配置されているとき、BBOXは図2(b)に示すように仮定され、配線長は次のような式で推定される。

アウト3のネットに属する4個のセルは、これら4個のセルの面積の和に相当する面積を有する正方形領域に配置されるものとする。この正方形領域は各ファンアウトのネットのセル配置領域の最小範囲に相当する。そして、この正方形領域をファンアウトfnのネットのBBOXとし、配線長推定の基準となるネットの基本配線長をこのBBOXの半周囲長で近似する。

【0033】具体的には、次のような式に従って、ファンアウトfnのネットの基本配線長 $L_m(f_n)$ を求める。

$$L_m(f_n) = 2 \{ S_{fu}(f_n) \cdot (f_n + 1) \}^{1/2} \dots (2)$$

ただし、 $S_{fu}(f_n)$ はファンアウト f_n のネットの平均セル面積である。すなわち、各ファンアウトのネットについて、当該ファンアウトのネットに属するセルの平均面積を求め、この平均面積に当該ファンアウトのネット1個当たりのセル個数を乗じた値に相当する面積を持つ正方形の半周囲長を基にして、基本配線長を決定する。

【0034】このようなBBOXモデルをおくことによって、ネットの基本配線長は常に最小の配線長になる。図4は実際のセルレイアウトと本実施形態に係るモデルとを比較して示す図である。図4に示すように、例えばファンアウト2のネットを例にとると、実際のセルレイアウトでは半周囲長は4が最小であるのに対して、本実施形態に係るモデルでは半周囲長は $2\sqrt{3}$ とさらに小さくなる。

$$L_m(f_n) = 2 \{ S_u \cdot (f_n + 1) \}^{1/2} \dots (3)$$

すなわち、推定対象のブロックに属する全セルの平均面積を求め、各ファンアウトのネットについて、求めた全セルの平均面積に当該ファンアウトのネット1個当たりのセル個数を乗じた値に相当する面積を持つ正方形の半周囲長を基にして、基本配線長を決定する。

【0037】<ネット配線長推定工程S3> ネット配線長推定工程S3は、各ファンアウトのネットの配線長を、基本配線長決定工程S2において決定した基本配線長を基準にするとともに、セルの配置ばらつきによるネットの広がり率を想定して、推定する。

【0038】(工程S31) 理想的な条件下においてネットが1つだけ存在する場合であれば、基本配線長決定工程S2におけるモデルで用いた正方形領域内にセルが隙間無く配置され、配線長が最小になることもあり得る。ところがネットリストには様々なファンアウトを持つネットが混在しているため、実際には他のネットとの相互関係によってセルの配置が決定されるので、セルの配置ばらつきによりその配置領域は図3に示すような最小の配置モデルよりも広がることになる。また、基本配線長決定工程S2におけるモデルではセルの形状は考慮※

$$EL = (n \cdot S_{fa}(f_n)^{1/2} + S_s^{1/2}) / ((n+1) S_{fa}(f_n)^{1/2}) \dots (4)$$

ここで、 n は広がり係数 (図5参照)、 $S_{fa}(f_n)$ はファンアウト f_n のネットの総セル面積すなわち正方形領域21の面積、 S_s は推定対象のブロックに属するセ

$$S_{fa}(f_n) = S_{fu}(f_n) \cdot (f_n + 1) \cdot N(f_n) \dots (5)$$

ここで、 $N(f_n)$ はファンアウト f_n のネットの数である。

$$\begin{aligned} L_d(f_n) &= L_m(f_n) \cdot EL \\ &= L_m(f_n) \cdot (S_{fa}(f_n)^{1/2} + S_s^{1/2}) / (2 S_{fa}(f_n)^{1/2}) \dots (6) \end{aligned}$$

【0043】ファンアウト f_n のネットに属するセルの総面積の平方根 $S_{fa}(f_n)^{1/2}$ は、図5に示す正方形

* 【0035】このようなモデルを用いることによって、理想的な条件をすべて満たしたときの最小配線長を基本配線長として決めることができる。このため、推定結果の配線長は基本配線長を下回ることはないことが保証される。したがって、以降の工程において、配線長が基本配線長からどの程度長くなるのかを推定すればよいので、配線の伸びをモデル化して基本配線長に反映させるだけで配線長を精度良く推定することができ、しかもそのモデル化は容易になる。

【0036】なお、式(2)では、平均セル面積として、ファンアウト f_n のネットの平均セル面積 $S_{fu}(f_n)$ を用いたが、代わりに、推定対象のブロックに属する全セルの平均面積 S_u を用いても良い。このとき、ファンアウト f_n のネットの基本配線長 $L_m(f_n)$ は次のような式に従って求められる。

※しておらず、ネットに属するセルの個数に拘わらず、セル面積の和に相当する面積をもつ正方形領域にセルが配置されるものとしたが、図4から分かるように、実際にはセルは特定の形状をもつため、モデルのように正方形領域にセルが隙間無く配置されることはまずあり得ない。

【0039】そこで、ここでは、セルの配置ばらつきによるネットの広がりを考慮して配線長を推定するために、ネット密度を考慮した広がり率を基本配線長に乗じることによって、ネット配線長を求める。

【0040】図5は広がり率を定めるためのモデルを示す図である。図5に示すように、ファンアウト f_n のネットの総セル面積に相当する面積の正方形領域21は、推定対象のブロックに属するセルの総面積に相当する面積の正方形領域22の範囲において、破線で示す領域23まで広がるものとする。そして、配線長もこの領域の広がり率に比例して長くなるものと仮定する。

【0041】このとき、広がり率 EL は次のような式で求められる。

40 ★ L の総面積すなわち正方形領域22の面積である。またファンアウト f_n のネットの総セル面積 $S_{fa}(f_n)$ は、次のような式で求めることができる。

☆ 【0042】このとき、広がり係数 $n=1$ とすると、配線長 $L_d(f_n)$ は次のような式で求められる。

50 領域21の一边の長さに相当する。また、ネットリストに属するセルの総面積の平方根 $S_s^{1/2}$ は、図5に示す

正方形領域22すなわち正方形領域21が広がる最大領域の一边の長さに相当する。したがって、式(4)は、ファンアウト f_n のネットについて、最大および最小の配置領域の周囲長から、配置領域の広がり割合を求めることに相当する。また、式(6)で求められる配線長 $L_d(f_n)$ は、最小の配線長である基本配線長 $L_m(f_n)$ をセルの広がり率を考慮して補正することによって得られたものになる。

【0044】すなわち、推定対象のブロックに属する全セルの面積の和と当該ファンアウトのネットに属するセルの面積の和から、ネットの広がり率 E_L が求められる。言い換えると、各ファンアウトのネットのセルの総面積がブロック全体の配置面積に対して占める割合に応じて、セルの広がりやすさが決まることになる。

【0045】(工程S32)工程S32は、セル端子の分布による配線の重複を考慮して、ネットの配線長を補正するものである。

【0046】ファンアウトの大きいネットすなわち端子数の多いネットでは、セル端子の分布によって、X軸方向およびY軸方向において配線の重複が生じる。ところが、基本配線長決定工程S2で用いたモデルでは配線の重複部分については考慮されておらず、BBOXの半周囲長では重複部分を含む配線長を表現することができない。

$$L_w(f_n) = L_d(f_n) \cdot (1 + r + r^2 + r^3 + \dots + r^{f_n}) \\ = L_d(f_n) \cdot (1 - r^{f_n}) / (1 - r) \quad \dots (7)$$

ここで、 r は端子間距離の減少係数であり、1より小さい正の定数である。式(7)はセル端子の分布による配線長の増分を等比級数を用いて表した、配線長の補正式であるといえる。

【0050】端子間距離の減少係数 r の値は、推定対象の回路の規則性に依存することが分かっている。我々の実験から、データパスのような規則的な回路の場合は係数 r を0に近い値にし、ランダムな回路の場合は係数 r を0.5に近い値にすると、推定精度が良くなることが分かっている。

【0051】なお、基本配線長決定工程S2および工程S31、S32において求めた配線長に、レイアウトシステムに依存する調整パラメータを乗じても良い。この調整パラメータは、評価するレイアウトシステムに図7に示すようなベンチマーク回路を与えることによってその値を定めることができる。図7は配線長の調整パラメータを簡易に決定するための、ファンアウトの均一なベンチマーク回路の構成を示す図である。同図中、(a)はファンアウト $f_n=1$ のベンチマーク回路、(b)はファンアウト $f_n=2$ のベンチマーク回路の例である。

【0052】なお、工程S31と工程S32とは順序を入れ替えても良い。すなわち、式(7)において、配線長 $L_d(f_n)$ の代わりに基本配線長 $L_m(f_n)$ に補正項を乗じて配線長 $L_w(f_n)$ を求め、この後に式

*【0047】一方、ファンアウトが大きくなると、単位面積当たりの端子の存在確率は増加するので、端子間を接続するために必要となる配線1本当たりの長さは平均的に短くなることが予想される。

【0048】図6は端子の分布と端子間距離との関係を模式的に示す図であり、(a)はファンアウト f_n が小さい場合($f_n=3$)、(b)はファンアウト f_n が大きい場合($f_n=5$)を示している。図6において、31は端子、32は配線を設ける端子間の距離である。図6に示すように、ファンアウト f_n のネットには(f_n+1)個の端子が関わることになり、(a)では4個の端子31が配置され、(b)では6個の端子31が配置されている。図6から分かるように、領域面積を一定にしてファンアウト数を増やしたとき、個々の端子間の距離32は端子31が増えるほど短くなる。一方、ファンアウト数が増えるほどX軸方向およびY軸方向において配線が重複する可能性は高くなるが、重複部分の長さは短くなるので、配線長の増分はファンアウト数の増加に伴い徐々に減少していくと考えられる。

【0049】そこで、ここでは、端子間の距離はファンアウト数の増加に対し指数関数的に減少するものと仮定する。すると、補正された配線長 $L_w(f_n)$ は次のような式で表すことができる。

(4)で表される広がり率 E_L を配線長 $L_w(f_n)$ に乘じて配線長 $L_d(f_n)$ を求めても良い。

【0053】(工程S33)工程S33は、これまでの工程で推定したネットの配線長を、ブロックのアスペクト比を考慮して補正するものである。

【0054】これまでの工程では、BBOXの形状を正方形で表してきたが、実際のレイアウトにおいてブロックの形状が正方形であるとは限らない。むしろ実際のレイアウトでは、正方形(すなわちアスペクト比が1)のブロックのみで構成されるようなチップはほとんどないといえる。

【0055】また、ブロックのアスペクト比が変わるとその面積や配線長が変化することは経験上分かっている。面積一定のままブロックの形状を変化させると形状の変化に応じてブロックの半周囲長も変わることから、配線長がブロックの形状に依存することが推測できる。

【0056】そこで、ここでは、ブロックのアスペクト比に応じてBBOXのアスペクト比が変化し、このアスペクト比の変化に応じて配線長も変化すると仮定する。またアスペクト比を変化させたとき、セルの相対的な位置関係は変わらないとする。

【0057】図8はブロックのアスペクト比に応じたBBOXのアスペクト比の変化を示す図であり、同図中、(a)はブロックの形状が正方形である場合、(b)は

ブロックの形状が横長である場合を示している。(a)と(b)とにおいてブロックの面積は同一である。図8において、41は正方形(アスペクト比1)のBBOX、41Aはブロックの形状が横長に変化したことによって形状が変化したBBOXである。

【0058】図8において、レイアウト領域(ブロック)のアスペクト比(縦横比)を A_s 、幅を W 、高さを H とすると、

$$A_s = W/H \quad \cdots (8)$$

である。図8において、(a)のブロックの周囲長を L_0 とし、(b)のブロックの周囲長を L_1 とすると、

$$L_0 = 4 \cdot \sqrt{W \cdot H} \quad \text{、} \quad L_1 = 2(W+H) \quad *$$

$$L_{wa}(f_n) = L_w(f_n) \cdot (A_s^\alpha + A_s^{-\alpha}) / 2 \quad \cdots (10)$$

べき乗値 α は、さまざまな回路実験からパラメータとして決定する。すなわち、レイアウトツールによって配置アルゴリズムが異なるため、ブロックのアスペクト比が配線長に与える影響がツール毎に異なるので、調整パラメータとしてべき乗値に α を与えている。式(10)を用いることによって、アスペクト比 A_s の影響を反映させたより精度の高い配線長推定が可能となる。例えば、式(10)における配線長 $L_w(f_n)$ に工程S32で推定した配線長を与えることによって、ブロックのアスペクト比を考慮した補正を行うことができる。

【0060】なお、工程S33に係るアスペクト比を考慮した配線長の補正方法は、本実施形態に係る配線長推定方法においてのみ用いられるものでなく、他の配線長推定方法でも利用可能である。すなわち、ブロックのアスペクト比が分かっている場合には、いかなる方法で求めた配線長でも式(10)に従って補正することができる。

【0061】最後に、工程S4において、これまでの工程で求めた各ネットの配線長から推定対象のブロックの総配線長を求める。

【0062】(第2の実施形態)本発明の第2の実施形態は、推定された配線長を基にして、多層配線を前提としたレイアウト面積を推定する方法に関するものである。

【0063】図9は本発明の第2の実施形態に係る面積推定方法の工程の流れを示すフローチャートである。ま※

$$S_e = S_s + (S_w - S_o) \theta(S_w - S_o) \quad \cdots (11)$$

ただし、 $S_w = L \times U_w$

ここで、 $\theta(x)$ はステップ関数であり、 $x \geq 0$ のとき $\theta(x) = 1$ 、 $x < 0$ のとき $\theta(x) = 0$ になる。なお、式(11)の第2項にデッドスペースの影響を考慮した調整パラメータをかけてもよい。

【0066】多層配線(3層メタル配線以上)の場合には、セル上の配線利用面積 S_o は各セル上の配線利用面積を和することによって求められる。一方、2層メタル配線では、セル上の配線利用面積 S_o はほぼ0であるため、常に $S_w > S_o$ となる。式(11)に $S_o = 0$ を代

*となり、したがって、

$$\begin{aligned} L_1/L_0 &= 2(W+H) / 4 \cdot \sqrt{W \cdot H} \\ &= (\sqrt{W/H} + \sqrt{H/W}) / 2 \\ &= (\sqrt{A_s} + 1/\sqrt{A_s}) / 2 \quad \cdots (9) \end{aligned}$$

となる。

【0059】BBOX41における配線長を $L_w(f_n)$ とし、BBOX41Aにおける配線長を $L_{wa}(f_n)$ とすると、配線長はブロックの周囲長に応じて変化するので、式(9)を基にして、平方根を一般化して次のような式が得られる。

※ず配線長推定工程S11において、配線長 L を推定する。この配線長推定工程S11では第1の実施形態に係る配線長推定方法にしたがって、配線長 L を推定するものとする。次に配線面積推定工程S12において、配線長推定工程S11で推定した配線長 L から配線が占める領域の面積 S_w を求める。具体的には、配線長 L に単位長さ当りの占有面積 U_w を乗じることによって求める。占有面積 U_w は配線幅、配線スペーシング、配線混雑度などを考慮して定める。

【0064】次にレイアウト面積推定工程S13において、配線面積推定工程S12で求めた配線が占める領域の面積 S_w を基にして、セル総面積 S_s およびセル上の配線利用面積 S_o を考慮してレイアウト面積 S_e を推定する。

【0065】レイアウトは、セルが占める領域、配線が占める領域、およびデッドエリアから構成される。一方、多層配線の場合には、セル上領域を配線領域として利用できる。このことから、配線が占める領域の面積 S_w がセル上の配線利用面積 S_o よりも小さいときは、配線が占める領域はセルが占める領域に吸収されるため、面積 S_w をレイアウト面積 S_e に反映させないものとする。一方、配線が占める領域の面積 S_w がセル上の配線利用面積 S_o よりも大きいときは、その面積の差をセル総面積 S_s に付加したものがレイアウト面積 S_e になるものとする。すなわち、レイアウト面積 S_e を次のような式によって推定する。

入すると、

$$S_e = S_s + S_w \quad \cdots (12)$$

となるが、この式(12)は2層配線によるレイアウト結果と経験的に一致することは明らかである。

【0067】なお、本実施形態では、配線長推定工程S11において、第1の実施形態に係る配線長推定方法に従って配線長 L を推定するものとしたが、他の方法によって配線長を推定してもよい。

【0068】(推定精度評価実験の結果)実際のチップの回路について、本発明に係る配線長推定方法および面

積推定方法による推定結果と、実際にレイアウトを行った結果とを比較した。レイアウトツールは市販のレイアウトシステムを使用し、セルライブラリは松下電子工業(株)が開発した0.35 μ mのスタンダードセルライブラリMN7Cシリーズを使用した。

【0069】図10は対象にした回路の仕様を示す図である。図10に示すように、本実験では、セル数の異なる4種類の回路を対象にした。また図11は図10に示す各回路の、レイアウト結果から求めた配線長と本発明に係る推定方法による配線長の推定値とを比較した図であり、図12は図10に示す各回路の、レイアウト結果から求めたレイアウト面積と本発明に係る推定方法によるレイアウト面積の推定値とを比較した図である。

【0070】図11に示すように、配線長は平均約7%、最大12.7%の精度で推定できることが分かった。また図12に示すように、レイアウト面積は平均約3%、最大4.3%の精度で推定できることが分かった。このような結果から、本発明に係る推定方法は、フロアプランや論理設計において十分に役に立つ精度を有しているといえる。

【0071】(第3の実施形態) 論理合成で推定した回路性能をレイアウトアルゴリズムにより強制的に保証する方法、タイミングドリブンレイアウト(TDL)技術が提唱されている。同機能は、TDLが必要となる回路部について配置、配線改善を特に重視して処理を行う方法である。しかし、TDLによりどの程度までの性能改善が期待できるかについては、現在評価法が確立していない。

【0072】本発明の第3の実施形態に係るTDL評価方法について、以下に説明する。ここでは、スタンダードセル方式のLSIを例として説明する。

【0073】図13はタイミングドリブンレイアウト評価方法のフローである。タイミング制約推定工程S21では、配線長を0として回路の遅延を決定する論理信号伝播経路(クリティカルパス)の素子遅延を計算し、同遅延値をタイミング制約とする。次に、工程S22においてTDL機能を有効にしたレイアウト処理を実施して同クリティカルパスの遅延Dtを計算し、工程S23においてTDL機能を無効にしたレイアウト処理を実施して同クリティカルパスの遅延Dを計算し、工程S24においてDtとDの差をTDL評価とする。

【0074】配線長0でのタイミング制約はいかなるレイアウトシステムにおいても満足することができない。従って、この制約を設けることにより、TDLがより配線長0への近づける能力を測定することができる。

【0075】図14はタイミングドリブン評価を容易にするためのベンチマーク回路であり(a)はファンアウト1のベンチマーク回路、(b)はファンアウト2のベンチマーク回路である。複数段、複数本数のn入力、1出力端子をもつマクロセルを1次元状、2次元状に構成

したファンアウト数1からnまでのn個の論理回路とフリップフロップを挿入してm段の信号伝搬パスを生成して得られるn \times m個の論理回路を生成し、レイアウト処理を実施してTDLレイアウト能力評価を容易におこなうことを可能とする。

【0076】

【発明の効果】以上のように本発明によると、ファンアウト数とセル面積からネットの広がり最小範囲を見積もることにより、最小配線長を保証する基本配線長の推定が可能となる。また、ファンアウト毎の総セル面積と回路の総セル面積との長さ成分の比率からファンアウトごとの配線広がり推定することにより、多様な回路、特にファンアウト毎のネット数の分布を反映した高精度な配線長の推定が可能となる。

【0077】また、ファンアウト毎の端子のばらつきによる配線増加を端子の存在確率を考慮して等比級数和としてあらわすことにより、より実際のレイアウト結果の配線ばらつきを反映した高精度な配線長の推定が可能となる。さらに、レイアウト形状のアスペクト比の変化に対して配線長の変化率を推定することにより、アスペクト比に依存した高精度な配線長の推定が可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る配線長推定方法の工程の流れを示すフローチャートである。

【図2】バウンディングボックス(BBOX)モデルを示す図である。

【図3】本発明の第1の実施形態に係る配線長推定方法の基本配線長決定工程S2において仮定するBBOXの一例を示す図であり、ファンアウト3のネットについてのBBOXを示す図である。

【図4】実際のセルレイアウトと本発明の第1の実施形態に係るモデルとを比較して示す図である。

【図5】本発明の第1の実施形態に係る配線長推定方法のネット配線長推定工程S3において、広がり率を定めるためのモデルを示す図である。

【図6】端子の分布と端子間距離との関係を模式的に示す図であり、(a)はファンアウトが小さい場合、(b)はファンアウトが大きい場合を示す図である。

【図7】配線長の調整パラメータを簡易に決定するための、ファンアウトの均一なベンチマーク回路の構成を示す図であり、(a)はファンアウト1のベンチマーク回路、(b)はファンアウト2のベンチマーク回路である。

【図8】ブロックのアスペクト比に応じてアスペクト比が変化するBBOXを示す図であり、(a)はブロックの形状が正方形の場合、(b)はブロックの形状が横長である場合を示す図である。

【図9】本発明の第2の実施形態に係る面積推定方法の工程の流れを示すフローチャートである。

【図10】推定精度評価実験の対象にした回路の仕様を

示す図である。

【図11】図10に示す各回路の、レイアウト結果から求めた配線長と本発明に係る配線長推定方法による配線長の推定値とを比較した図である。

【図12】図10に示す各回路の、レイアウト結果から求めたレイアウト面積と本発明に係る面積推定方法によるレイアウト面積の推定値とを比較した図である。

【図13】本発明の第3の実施形態に係るタイミングドリブンレイアウト評価方法を示すフローチャートである。

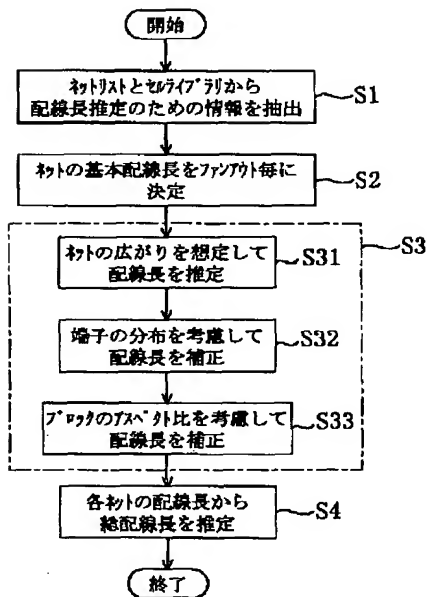
【図14】タイミングドリブン評価を容易にするためのベンチマーク回路を示す図である。

【図15】ネットリストが記述するセルの接続関係を示す図であり、セル、ネットおよびファンアウトの関係を示す図である。

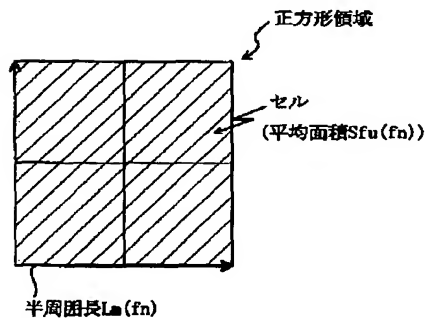
【符号の説明】

- S1 情報抽出工程
S2 基本配線長決定工程
S3 ネット配線長推定工程

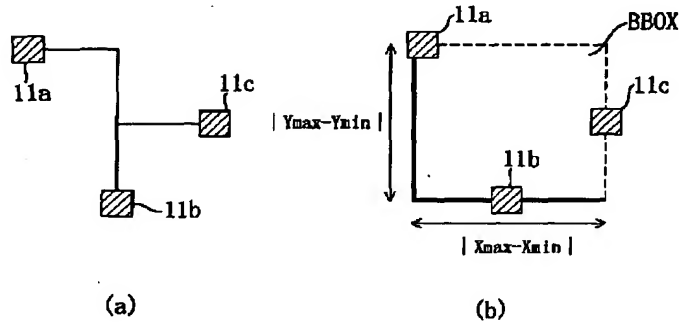
【図1】



【図3】



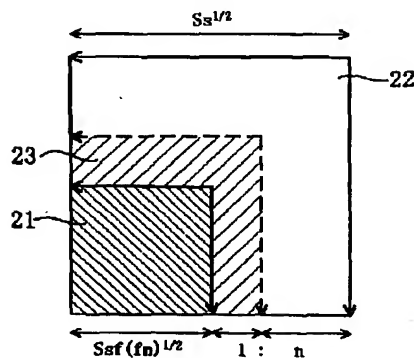
【図2】



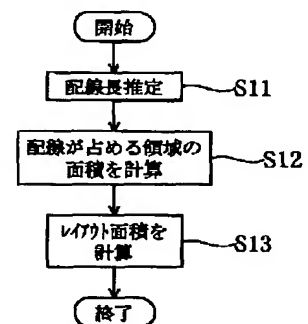
【図4】

	$f_n=1$	$f_n=2$	$f_n=3$	$f_n=4$
実際のセルライアウト				
	面積 2 半周長 3	面積 3 半周長 4	面積 4 半周長 4	面積 5 半周長 6
BBOX				
	面積 2 半周長 $2\sqrt{2}=2.83$	面積 3 半周長 $2\sqrt{3}=3.46$	面積 4 半周長 4	面積 5 半周長 $2\sqrt{5}=4.47$

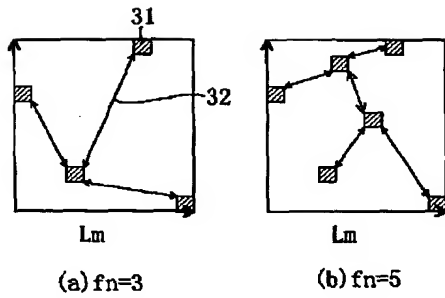
【図5】



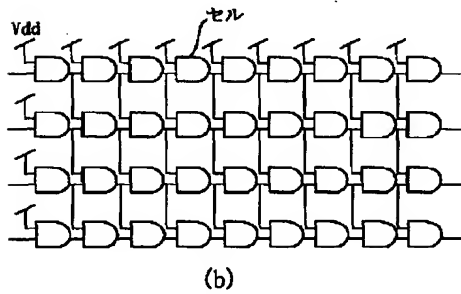
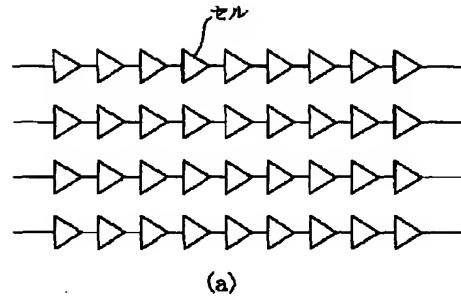
【図9】



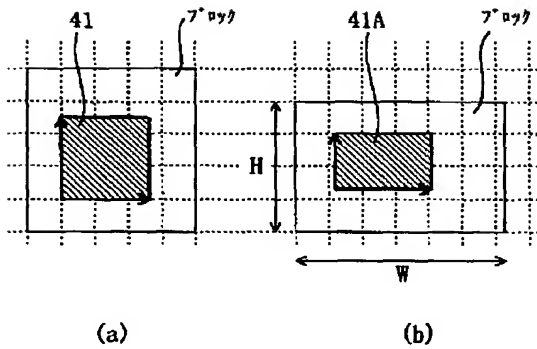
【図6】



【図7】



【図8】



【図10】

	セル数	ネット数	平均ファンアウト	Ss
回路 A	1244	1673	2.02	262786
回路 B	2786	3012	2.45	576596
回路 C	5473	5696	2.15	871194
回路 D	7746	8447	2.22	1431461

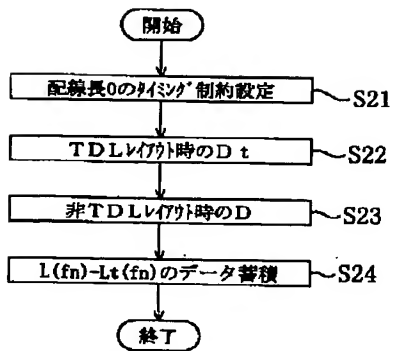
【図11】

	セル数	配線長 (mm)		誤差
		推定	実際	
回路 A	1244	159113	164019	-3.0%
回路 B	2786	374200	332052	+12.7%
回路 C	5473	687324	779177	-11.8%
回路 D	7746	978956	971817	+0.7%

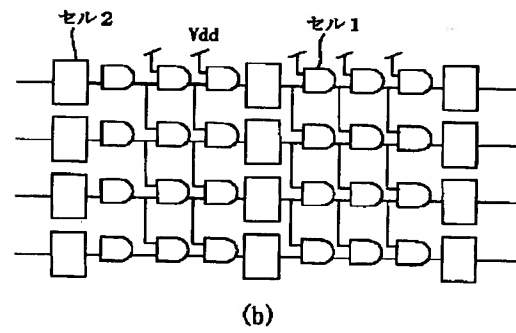
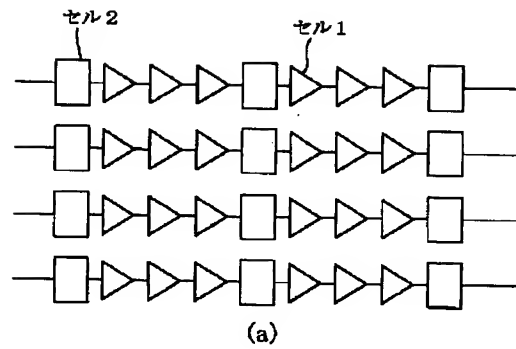
【図12】

	セル数	1/T外面積 (mm ²)		誤差
		推定	実際	
回路 A	1244	286992	290532	-1.2%
回路 B	2786	630295	658677	-4.3%
回路 C	5473	993385	985046	+0.8%
回路 D	7746	1565876	1626858	-3.7%

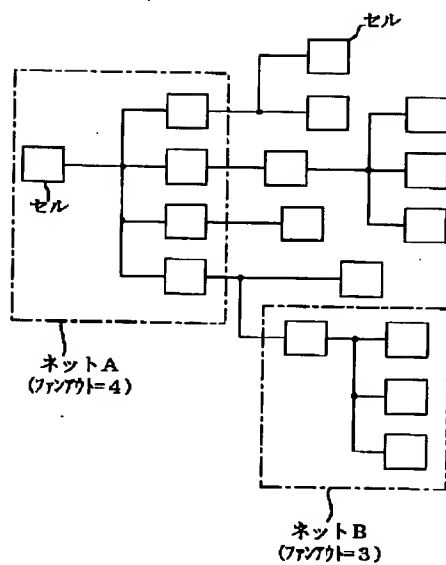
【図13】



【図14】



【図15】



フロントページの続き

(72)発明者 児下 典子

大阪府門真市大字門真1006番地 松下電器

産業株式会社内